

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112429
(43)Date of publication of application : 22.04.1994

(51)Int.Cl. H01L 27/108
H01L 27/04

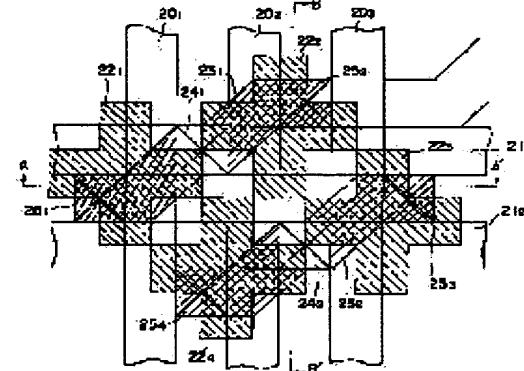
(21)Application number : 04-260040 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 29.09.1992 (72)Inventor : CHIKUDAI SEIICHI
OZAKI TORU
NITAYAMA AKIHIRO
HASHIMOTO KOJI

(54) SEMICONDUCTOR MEMORY AND MANUFACTURE METHOD THEREOF

(57)Abstract:

PURPOSE: To provide the title semiconductor memory and manufacturing method thereof having plane patterns of accumulation electrodes making it easy to make contact between the wirings above the accumulation electrodes and the layers below the accumulation electrodes capable of ensuring a capacitance required for DRAM cells without notably increasing the height of the accumulation electrodes.

CONSTITUTION: Within the title semiconductor memory comprising multiple memory cells formed of capacitors connecting to MOS transistor and either one out of source.drain of this transistor, the accumulation electrodes 22 are formed crosswise by assembling square patterns in the minimum processing dimensions so that the accumulation electrodes 22 in the large projection area at the smaller isolation intervals than those of the minimum processing dimensions may be formed by using the corner parts of the patterns for the isolation of adjoining accumulation electrodes 22.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51)Int.Cl.⁵
H 01 L 27/108
27/04

識別記号 庁内整
号
C 8427-
9170-

F I
H 01 L 27/ 10

技術表示箇所
3 2 5 C

審査請求 未請求 請求項の数 3(全 15 頁)

(21)出願番号 特願平4-260040

(22)出願日 平成4年(1992)9月29日

(71)出願人 000003078
株式会社東芝 (Toshiba)
神奈川県川崎市幸区堀川町72番地
(72)発明者 竹大 精一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内
(72)発明者 尾崎 徹
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内
(72)発明者 仁田山 晃寛
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内
(74)代理人 弁理士 鈴江 武彦

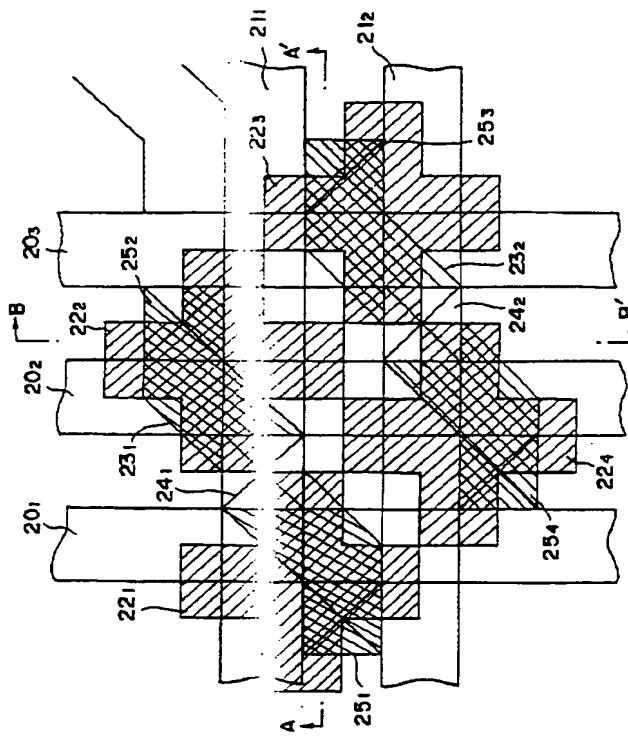
最終頁に続く

(54)【発明の名称】 半導体記憶装置及びその製造方法

7) 【要約】

【 목적】 측적 전극 높이를 그다지 크게 한 것 없이 DRAM 셀 필요한 캐퍼시터 용량을 확보한 것이 가능하고, 측적 전극보다(부터) 위의 선으로부터 측적 전극보다(부터) 아래의 층에 접속을 한 것이 그 치해지지 않은 것 같았는 측적 전극의 평면 패턴을 갖는 반도체 기억 장치 및 제조 방법을 제공한 것에 있다.

【 구성】 반도체 기판상에 MOS 트랜ジ스터 및 이 트랜지스터 소스·드레인의 한편에 접속된 캐퍼시터를 형성한 메모리 셀을 복수개 배치된 반도체 기억 장치에 있어, 캐퍼시터의 측적 전극 2 2를 최소 가공 치수의 정방형 패턴을 조합시키고 십자형에 형성하고, 인접한 측적 전극 2 2의 분리에 패턴의 코너 부를 이용한 것에 의하고, 최소 가공 치수보다(부터) 작은 분리 간격의 투영 면적이 큰 측적 전극 2 2를 형성하는 것을 특징으로 한다.



특허 청구의 범위】

청구항 1】 반도체 기판상에 MOS 트랜지스터 및 이 트랜지스터의 소스·드레인의 한편에 접속된 캐패시터를 형성한 메모리 셀을 복수개 배치된 반도체 기억 장치에 있어, 상기 캐패시터의 축적 전극의 틴 카운터 패턴의 코너 부를 이용하고, 최소 가공 차수보다(부터) 작은 분리 간의 축적 전극을 형성한 것을 특징으로 한 반도체 기억 장치.

청구항 2】 일도전형의 반도체 기판 표면에 소자 영역을 형성한 공정과, 상기 기판상에 절연막을 이용하고 워드 선, 비트 선을 형성한 공정과, 상기 절연막에 축적 전극의 콘택트를 형성한 공정과, 뒤이어 면에 축적 전극으로 된 도전막을 퇴적한 공정과, 상기 도전막상에 해악 패터닝하기 위한 마스크 재료막을 퇴적한 공정과, 상기 마스크 재료막을 심자형의 축적 전극 패턴에 가공한 공정과, 가공된 마스크 재료를 이용하고 상기 도전막을 패터닝 한 공정과, 가공된 도전막의 표면에 캐패시터 절연막을 형성한 공정과, 뒤이어 캐패시터 상부 전극을 형성한 공정을 포함한 것을 특징으로 한 반도체 기억 장치의 제조 방법.

청구항 3】 상기 마스크 재료막을 패터닝 한 때에, 에지 이용형드 위상 시프트 마스크를 이용한 것을 특징으로 한 청구항 2 기재된 반도체 기억 장치의 제조 방법.

발명의 자세한 내용한 설명】

0 0 0 1】

【발명의 이용 분야】 본 발명은, 반도체 기억 장치 및 그 제조 방법에 관계되고, 특히 스택 형 캐패시터 구조를 갖는 다이내믹 형 RAM (DRAM)

각한다.

0 0 0 2】

【발명의 기술】 근래, 반도체 기억 장치는 고집적화, 대용량화가 일로를 걷고 있고, 특히 1 개의 MOSFET 와 1 개의 MOS 캐패시터로 구성된 MOS 다이내믹 RAM (DRAM) 에 있어서는, 그 메모리 셀의 미세화에의 연구가 진행되고 있다. 이와 같은 메모리 셀의 미세화반하고, 정보 (전하) 를 축적한 캐패시터의 면적은 감소하고, 이 결과 메모리 내용이 잘못하고 판독되거나, 또는 α선등에 의하고 메 내용이 파괴된 소프트 에러등이 문제가 되어 있다.

0 0 0 3】 이와 같은 문제를 해결하고, 고집적화, 대용량화를 꾀하기 위해(때문에)의 방법으로서, 점유 면적을 증대한 일 없고, 실질적으로 캐패시터의 점유 면적을 확대하고, 캐패시터 용량을 늘리고, 축적 전하량을 증대시키기 위해(때문에) 다양한 방법이 제안되고 있다. 그 1, 다음과 같은 스택 형 캐패시터 구조를 갖는 DRAM이 있다.

0 0 0 4】 이 DRAM은, 그림 2 6에 평면도를, 그림 2 7에 그림 2 6의 시시 F - F' 단면도를 나타내도록, 소자 분리 영역 2 (2₁, ..., 2_n) 및 소자 영역 9 (9₁, 9₂, ...) 를 형성하고, 또한 워드 선 3 (3₁, 3₂, ...) 을 형성해 MOS 트랜지스터를 형성하고, 비트 선 (1 0₁, 1 0₂, ...), 축적 전극 4 (4₁, 4₂, ...), 캐패시터 절연막 5, 플레이트 전극 6을 형성해 DRAM 셀을 형성하고 있다. 7은 축적 전극 콘택트, 8은 절연막을 나타내고 있다.

0 0 0 5】 이와 같은 구조에서는, 축적 전극으로서, 투영면뿐만 아니라 축면도 캐패시터 면적에 기여하기 때문에, 축적 전극의 높이를 즐인 것에 의하고 캐패시터 용량을 증가시키는 것이 가능한다.

【0006】 그렇지만, 이 구조에서는 특영 면적 및 캐패시터 용량을 벌어들인 점은, 축적 전극 높이를 ① 아래의 층에 접촉을 한 것이 곤란해진다고 말한 문제

의 평면 패턴의 주변장이 충분히 크지 않기 위해(때문에). DRAM 셀에 필드 액터다. 이 때문에, 축적 전극보다(루터) 위의 배선으로 루터 축적 전극보다(루터)

[0007]

【발명이 해결할 것 같는다고 한 과제】 이처럼 종래의 흡수 크지 않기 위해(때문에), D R A M 셀에 필요한 캐퍼스터 위의 배선으로부터 축적 전극보다(부터) 아래의 층에

【0008】 본 발명은, 상기의 사정을 고려해 이루어진 측정에 필요한 캐패시터 용량을 확보한 것이 가능하고, 축적 용이한 축적 전극의 평면 패턴을 갖는 반도체 기억 장치 및

[0009]

【과제를 해결하기 위한 수단】 본 발명으로는, 메모리 셀의
내부(부터) 작은 본리 간격의 투영 면적 및 평면 패턴 주변 오래

【0010】 즉 본 발명은, 반도체 기판상에 MOS 트랜지
셀을 복수개 배치해 된 반도체 기억 장치에 있어, 캐퍼시터의
리소 가공 치수보다(부터) 작은 분리 간격의 축적 전극을 형성

【0011】도 본 발명은, 상기 구성의 반도체 기억 장치의 기판상에 절연막을 이용하고 워드 선, 비트 선을 형성한 구조로 된 도전막을 퇴적한 공정과, 도전막상에 해막을 패턴

【0012】

【작용】 상기의 구조에 의하면, 목적 전극을 접사형과 패턴화
보다(부터) 작은 분리 간격의 투영 면적 및 평면 패턴 주변 오류
패시터 용량을, 축적 전극보다(부터) 위의 배선으로부터 축
전극의 높이로 실현한 것이 가능해진다.

국의 평면 패턴으로는 투영 면적 및 축적 전국의 평면 패턴의 주변장이 충분한 양을 벌어들이는데도 축적 전국 높이를 크게 한 필요가 있고, 축적 전국보다(을 한 것이 곤란해진다고 말한 문제가 있다.

그 목적으로 한 점은, 축적 전극 높이를 그다지 크게 한 것 없이 DRAM 보다(부터) 위의 배선으로부터 축적 전극보다(부터) 아래의 층에 접촉을 한 것 제조 방법을 제공한 것에 있다.

최 전국 간의 분리에 패턴의 코너 부를 이용한 것에 의하고, 최소 가공 치수보
족적 전국을 형성하고 있다.

및 이 트랜지스터의 소스·드레인의 한편에 접속된 캐패시터를 형성한 메모리
적 전극을 최소 가공 치수의 정방형 패턴을 조합시키고 십자형에 형성하고,
것을 특징으로 한다.

그 방법에 있어, 일도전형의 반도체 기판 표면에 소자 영역을 형성한 공정과 절연막에 축적 전극의 콘택트를 형성한 공정과, 뒤이어 전면에 축적 전기 위한 마스크 재료막을 퇴적한 공정과, 마스크 재료막을 심자형의 축적 전막을 패터닝 한 공정과, 가공된 도전막의 표면에 캐패시터 절연막을 형성을 특징으로 한다.

패턴의 코너 부로 분리 가능한 구조로 하고 있기 때문에, 최소 사용 자주 축적 전극을 형성한 것이 할 수 있다. 따라서, DRAM 메모리에 필요한 전극보다(부터) 아래의 층에 접촉을 한 것이 곤란해지지 않은 것 같았는 축적

[0013]

【실시예】 이하. 본 발명의 실시예에 관하여 도면을 참조하면서 상세히 설명한다.

【0014】 (실시 예 1) 그림 1은 둔 발명의 제 1의 실시예에 관계된 DRAM의 대략 구성을 나타내는 평면도, 그림 2 (a)는 도 1의 시 IIA - A' 단면도, 그림 2 (b)는 도 1의 시 IIB - B' 단면도이다. p 형 실리콘 기판 26에 소자 영역 23 ($23_1, 23_2 \dots$)이 형성되고 있고, 다른 영역은 필드 산화막 29 ($29_1, 29_2 \dots$)로 C. 소자 영역은 분리되어 있다. 워드 선 20 ($20_1, 20_2 \dots$)과 비트 선 21 ($21_1, 21_2 \dots$)이 직교하고 있고, 비트 선 21 ($21_1, 21_2 \dots$)은 비트 선 콘택트 24 ($24_1, 24_2 \dots$)를 이용하고 소자 영역 23과 관련, 1개의 소자 영역에 대해 2개의 MOS 트랜지스터를 형성하고 있다.

[0015] 이 트랜지스터의 비트 선 콘택트의 반대측은, 축적 전극 콘택트 25 (25_1 , 25_2 ...) 를 이용하고 축적 전극 22 (22_1 , 22_2 ...) 라고 연결되고 있다. 이 축적 전극 22는 본리에 페터의 코너 부를 이용한 것에 의하고, 최소 가공 치수보다(부터) 작은 본리 간의 투영 면적 및 평면 패턴 주변 오른 쪽 축적 전극을 형성하고 있다. 그리고, 축적 전극 22와 절연막 27 및 플레이트 전극 28로 캐퍼터를 형성하고 있다. 또한, 그림중 100(100_1 , 100_2 ...), 101(101_1 , 101_2 ...) 은 층간 절연막을 나타내고 있다.

[0016] 다음에, 본 실시예 장치의 제조 방법에 관하여, 그림 3 및 그림 4를 참조하고 설명하다. 또한, 그림 3은 그림 1의 시시 A - A'면, 그림 4는 그림 1의 시시 B - B'단면에 상당하고 있다.

[0017] 먼저, 그림 3, 그림 4의 (a)에 나타내도록, 실리콘 기판 26에, 열산화에 의하고 소자 본리용의 필드 산화막 29를 형성한다. 이 소자 본리 영역의 형성에는, 필드 이온 주입을 행해도 좋다. 그리고, 트랜지스터 영역에 채널 이온 주입, 게이트 절연막 형성, 웨이선 20 형성을 행하고, 또한 소스, 드레인 이온 주입을 행한다.

【0018】 뒤이어, 그림 3, 그림 4의 (b)에 나타내도록, 층간 절연막 100을 형성한 후, 비트 선 21을 형성한다. 계속되고, 그림 3, 그림 4의 (c)에 나타내도록, 층간 절연막 101을 형성한 후, 축적 전극 콘택트 25를 형성한다. 또한, 그림 3, 그림 4의 (d)에 나타내도록, 축적 전극 22를 형성한다.

0019] 뒤이어, 이것에 캐피시터 절연막 27 및 플레이트 전극 28을 형성하고 그림 1, 그림 2에 나타낼 것 같은 DRAM이 제조된다.

【0020】 이처럼 본 실시예에 의하면, 축적 전극 2 인접한 축적 전극 22 사이를 분리하고 있기 때문에, 극 평면 패턴의 면적이 커진다. 또한, 십자형 패턴이라 또 종래와 동일한 축적 용량을 얻는 점은 축적 전극의

경연 패턴을 종래의 구형으로부터 십자형에 형성하고, 이 십자 패턴의 코너 두 과 그림 26의 축적 전극 패턴을 비교하고 알도록, 본 실시 예의 쪽이 축적 2 연부분의 면적도 커진다. 이 때문에, 종래보다도 축적 용량을 크게 할 수 있고 낮게 한 것이 가능한다.

【0021】 여기에서, 평면상으로의 축적 전극 패턴의 축적 전극간의 분리를 십자 패턴의 코너 부로 행하고 있 분리가 용이한 것은 분명하다. 따라서 본 실시예에 의하면 확보한 것이 가능하고, 축적 전극보다(부터) 위의 배선으로는

【0022】 (실시 예 2) 그림 5는 본 발명의 제2의 실시 그림 6 (b) 은 도 5의 및 D-D'단면도이다. 기본적인 구 과 콘택트 위치의 관계가 다른다.

【0023】 p형 실리콘 기판 36에 소자 영역 33 (33₁, 33₂ ...) 로 이 소자 영역은 분리되어 있다. 워드 선 30 (30₁, 30₂ ...) 과 비트 선 31 (31₁, 31₂ ...) 이 직교하고 있고, 비트 선 31은 비트 선 콘택트 34 (34₁, 34₂ ...) 를 이용하고 형성하고 있다.

【0024】 이 트랜지스터의 비트 선 콘택트의 반대측은 축적 32₂ ...) 라고 연결되고 있다. 이 축적 전극 32는 분리에 따른 영향 면적 및 평면 패턴 주변 오랜 큰 축적 전극을 형성하고 형성하고 있다.

【0025】 다음에, 본 실시예 장치의 제조 방법에 관하여, 그림 8은 그림 6의 시시C-C'단면에 상당하고 있다.

【0026】 먼저, 그림 7, 그림 8의 (a) 에 나타내도록 한다. 이 소자 분리 영역의 형성에는 필드 이온 주입을 행해도 워드 선 30 형성을 행하고, 또한 소스, 드레인 이온 주입을 행한다.

【0027】 뒤이어, 그림 7, 그림 8의 (b) 에 나타내도록, 그림 8의 (c) 에 나타내도록, 층간 절연막 103을 형성해 나타내도록, 축적 전극 32를 형성한다.

【0028】 뒤이어, 이것에 캐패시터 절연막 37 및 플레이트 40이 제조된다. 이와 같은 구성라도, 축적 전극 패턴의 평면상으로 얻을 수 있다.

【0029】 (실시 예 3) 그림 9는, 본 발명의 제3의 실시 예 그림 9 (a) 는 도 5의 시시C-C'단면, 그림 9 (b) 는 도 5의

【0030】 이 실시예에는, 제2의 실시예란 축적 전극의 구조가 실시예와 동일하지만, 축적 전극 32 (32₁, 32₂ ...) 의 축적 전극 평면 패턴의 부분이라고 연결되고 있다. 단, 이 구조에서는 노광 시간을 최적화함으로서 작용에 형성한 필요가 있다.

【0031】 다음에, 본 실시예 장치의 제조 방법에 관하여, 그림 11은 그림 9가 (b) 에 상당한 단면을 나타내고 있다.

【0032】 비트 선상의 층간막을 형성하고, 축적 전극 콘택트 35를 형성한 후, 이 축적 전극 콘택트 35를 퇴적한다. 그리고, 이 CVD-SiO₂ 막 41을 퇴적한다. 그리고, 이 CVD-SiO₂ 막 41을 퇴적한다.

【0033】 뒤이어, 그림 10, 그림 11의 (b) 에 나타내도록, 폴리실리콘을 이방성 에칭하여, 계속되고 폴리실리콘을 퇴적하고, 비소 또는 인 등을 도핑한 후, CVD-SiO₂ 막 41을 퇴적한다. 그리고, 비소 또는 인 등을 도핑한다. 계속되고, 그림 10, 그림 11의 (b) 에 나타내도록, 전면의 폴리실리콘을 이방성 에칭하여, 폴리실리콘의 크라운 구조 40을 남겨둔다. 그 후, CVD-SiO₂ 막 41과 NH₄F 등에 의하고 통발성 에칭 한다.

【0034】 뒤이어, 이것에 캐패시터 절연막 37 및 플레이트 전극 38을 형성한 것에 의하고, 그림 9에 나타낼 것 같은 DRAM이 제조된다. 이와 같은 구성이라면, 제1의 실시예와 동일한 효과를 얻을 수 있는 것은 물론에 관한 것, 축적 전극의 측벽면적을 고르고 크게 할 수 있고, 축적 용량의 확대에 유익하다.

증래보다(부터) 커지고 있는 것은 십자형 패턴이라고 한 것에 가하고, 인접한다. 예지 부가 인접한 경우와 비교하고, 코너 부가 인접한 경우에는, 그 전극 높이를 그다지 크게 한 것 없이 DRAM 셀에 필요한 캐패시터 용량을 축적 전극보다(부터) 아래의 층에 접촉을 한 것이 용이해진다.

대략 구성을 나타내는 평면도, 그림 6 (a) 은 도 5의 시시C-C'단면도, 제1의 실시예와 동일하지만, 이 실시예는 제1의 실시예란 축적 전극 패

33₂ ...) 이 형성되고 있고, 다른 영역은 필드 산화막 39 (39₁, 39₂ ...) 과 비트 선 31 (31₁, 31₂ ...) 이 직교하고 있고, 비트 선 영역 33과 관련, 1개의 소자 영역에 대해 2개의 MOS 트랜지스터를

축적 전극 32와 절연막 37 및 플레이트 전극 38로 캐패시터를 형성하고 있다. 그림 7은 그림 6의 시시C-C'단면도, 코너 부를 이용한 것에 의하고, 최소 가공 치수보다(부터) 작은 분리 간격이 축적 전극 32와 절연막 37 및 플레이트 전극 38로 캐패시터를

및 그림 8을 참조하고 설명하다. 또한, 그림 7은 그림 6의 시시C-C'

큰 기판 36에, 열산화에 의하고 소자 분리용의 필드 산화막 39를 형성하고, 트랜지스터 영역에 채널 이온 주입, 게이트 절연막 형성, 워드

절연막 102를 형성한 후, 비트 선 31을 형성한다. 계속되고, 그림 8은 그림 6의 시시C-C'단면도, 층간 절연막 103을 형성한다. 또한, 그림 7, 그림 8의 (d)

38을 형성한 것에 의하고, 그림 5, 그림 6에 나타낼 것 같은 DRAM의 측벽면적 및 측벽면적을 크게 할 수 있고, 앞의 제1의 실시예와 동일한 효과를 얻을 수 있다.

대략 구성을 나타내는 단면도이다. 또한, 평면도는 그림 5와 동일하고, 시D-D'단면에 상당하고 있다.

그것만으로, 다른 구성은 동일한다. 즉, 축적 전극의 평면도는 제2의 워드 주변 외측에 원통상에 폴리실리콘 등의 전극 40이 서고 있고, 축적 전극 평면 패턴의 부분이라고 연결되지 않도록 축적 전극 32의 패턴을 레지스트의

노광 시간을 최적화함으로서 작용에 형성한 필요가 있다.

【0035】 다음에, 본 실시예 장치의 제조 방법에 관하여, 그림 10은 그림 9 (a)

【0036】 비트 선상의 층간막을 형성할 때까지는, 제2의 실시예와 동일한다. 뒤이어, 그림 10, 그림 11의 (b) 에 나타내도록, 폴리실리콘을 퇴적하고, 비소 또는 인 등을 도핑한 후, CVD-SiO₂ 막 41을 퇴적한다. 그리고, 이 레지스터 42를 마스크에 하여 CVD-SiO₂ 막 41과 그 아래

【0037】 뒤이어, 그림 10, 그림 11의 (b) 에 나타내도록, 폴리실리콘을 퇴적하고, 비소 또는 인 등을 도핑한다. 계속되고, 그림 10, 그림 11의 (b) 에 나타내도록, 전면의 폴리실리콘을 이방성 에칭하여, 폴리실리콘의 크라운 구조 40을 남겨둔다. 그 후, CVD-SiO₂ 막 41과 NH₄F 등에 의하고 통발성 에칭 한다.

【0038】 뒤이어, 이것에 캐패시터 절연막 37 및 플레이트 전극 38을 형성한 것에 의하고, 그림 9에 나타낼 것 같은 DRAM이 제조된다. 이와 같은 구성이라면, 제1의 실시예와 동일한 효과를 얻을 수 있는 것은 물론에 관한 것, 축적 전극의 측벽면적을 고르고 크게 할 수 있고, 축적 용량의 확대에 유익하다.

【0035】 (실시 예 4) 그림 1 2는 본 발명의 제4의 실시 예의 대략 구성을 나타내는 단면도이다. 또한, 평면도는 그림 5와 동일하고 그림 1 2 (a) 는 도 5의 시시C - C'단면, 그림 1 2 (b) 는 도 5의 시시D - D'단면에 상당하고 있다.

【0036】 이 실시예는, 제2의 실시예와 축적 전극의 구조가 다른다. 즉, 축적 전극의 평면도는 제2의 실시예와 동일하지만, 축적 전극 3 2 ($32_1, 32_2, \dots$) 의 패턴의 주변 내측에 원통상에 폴리실리콘 등의 전극이 서고 있고, 축적 전극 평면 패턴의 부분이라고 연결되고 있다. 단, 이 구조에서는 옆의 축적 전극이라고 연결되지 않도록 축적 전극 3 2의 패턴을 레지스트의 노광 시간을 최적화한 등의 필요가 있다.

【0037】 다음에, 본 실시예 장치의 제조 방법에 관하여, 그림 1 3 및 그림 1 4를 참조하고 설명하다. 또한, 그림 1 3은 그림 1 2 (a), 그림 1 4는 그림 1 2가 (b)에 상당한 단면을 나타내고 있다.

【0038】 비트 선상의 층간막을 형성하고, 축적 전극 콘택트를 형성할 때까지는, 제2의 실시예와 동일한다. 뒤이어, 그림 1 3, 그림 1 4의 (a)에 나타내도록, 이 축적 전극 콘택트 3 5를 형성한 후, 폴리실리콘 등을 퇴적하고, 비소 또는 인 등을 도핑 하여, 전면 이방성에 칭하여, 이 축적 전극 콘택트 3 5를 폴리실리콘 등으로 매입한다. 계속되고, $CVD - SiO_2$ 막 4 1을 퇴적한다. 그리고, 이 $CVD - SiO_2$ 막 4 1을 패터닝 한 마스크로 레지스터 4 2를 노광한다.

【0039】 뒤이어, 그림 1 3, 그림 1 4의 (b)에 나타내도록, 이 레지스터 4 2를 마스크에 하여 $CVD - SiO_2$ 막 4 1을 이방성에 칭하여, 계속되고 폴리실리콘을 퇴적하고, 비소 또는 인 등을 도핑 한다. 계속되고, 그림 1 3, 그림 1 4의 (c)에 나타내도록, 전면의 폴리실리콘을 이방성에 칭한다. 이 이방성에 칭을 행한 때, 흥의 바닥부의 폴리실리콘을 낳겨 두기 위해(때문에), 흥에 절연막등을 매입하고 있어서도 좋다. 그 후, $CVD - SiO_2$ 막 4 1을 NH_4F 등에 의하고 등방성에 칭한다.

【0040】 뒤이어, 이것에 캐퍼시터 절연막 3 7 및 플레이트 전극 3 8을 형성한 것에 의하고, 그림 1 2에 나타낼 것 같은 DRAM이 제작된다. 이와 같은 구성이라면, 제3의 실시예와 마찬가지로, 축적 전극의 축벽면적을 고르고 크게 할 수 있고, 축적 용량의 확대에 유효하다.

【0041】 (실시 예 5) 그림 1 5는 본 발명의 제5의 실시 예의 대략 구성을 나타내는 평면도, 그림 1 6은 그림 1 5의 시시E - E'단면이다. 이 실시예로는, 비트 선이 축적 전극보다도 위에 형성되고 있다. 즉, 비트 선 1 4 ($14_1, 14_2, \dots$)로부터 소자 영역 1 5 ($5_1, 5_2, \dots$)에 향하여 축적 전극 1 1 ($11_1, 11_2, \dots$)이나 워드 선 1 3 ($13_1, 13_2, \dots$)이라고 절연하도록 하여, 비트 선 콘택트 1 6 ($16_1, 16_2, \dots$)을 이용하고 접촉을 하고 있다.

【0042】 또한, 그림 중 1 2 ($12_1, 12_2, \dots$)는 축적 전극 콘택트, 1 7 ($17_1, 17_2, \dots$)은 플레이트 전극, 1 8 ($18_1, 18_2, \dots$), 1 9 ($19_1, 19_2, \dots$)는 층간 절연막을 나타내고 있다.

【0043】 이와 같은 구성라도, 축적 전극을 심자형의 패턴에 형성하고, 축적 전극의 분리에 패턴의 코너 부를 이용한 것에 의하고, 제1 실시예와 마찬가지로, 축적 전극 높이를 그다지 크게 한 것 없이 DRAM 셀에 필요한 캐퍼시터 용량을 확보한 것이 가능하고, 축적 전극(부터) 위의 배선으로부터 축적 전극보다(부터) 아래의 층에 접촉을 한 것이 용이해진다.

【0044】 또한, 상술한 각 실시예로는 축적 전극의 평면 패턴을 심자형이라고 했지만, 반드시 심자형에 한하지 않고, 패턴의 코너 부로부터 가능한 구조이라면 좋다. 소자 구조 및 제조 방법은, 실시예로 나타냈던 것에 하등 한정된 것이 아니고, 본 발명의 요지를 일탈하지 않 범위에서, 여러 가지 변형하고 실시한 것이 가능한다.

【0045】 와 무렵에, 전술한 실시예에 있어서 축적 전극 패턴(심자형)을 포토 리소그래피로 형성한 때에는, 패턴이 작아지고 온다면 상도 좋게 형성한 것이 곤란해진다. 그러면 이하의 실시예로는, 위상 시프트 마스크를 이용하고 캐퍼시터 패턴을 형성했다.

【0046】 (실시 예 6) 그림 1 7, 그림 1 8은 제6의 실시예를 설명하기 위한 것으로, 그림 1 7은 (H형)의 위상 시프트 마스크의 위상 시프터의 패턴의 평면도, 그림 1 8 (a)는 이 위상 시프트 마스크를 이용하고 형성됐다. 마무리의 SN 형상의 평면 패턴, 그림 1 8 (b)은 그 조강 그림을 나타내고 있다.

【0047】 그림 1 7에 나타낼 것 같은 위상 시프터 6 1을 이용한 것에 의하고, 위상이 180° 회전하고, 위상 시프터 6 1의 에지에 따르 광강도가 0이 된다. 이 때문에, 네가 형 레지스트를 이용한 것에 의하고, 위상 시프터 6 1의 에지에 따르고 레지스트가 제거되고 미세한 페이스가 형성된다. 이것은, 이를바 에지 이용형 위상 시프트·마스크이다. 액시마·스테파 등을 이용한다면 $0.1 \sim 0.2 \mu m$ 의 스페이스가 실현된다. 결과로서 그림 1 8 (a), (b)에 나타내는 것 같았던 축적 전극(SN) 6 2의 형상이 실현된다.

【0048】 이 SN 형상은, 종래의 단순 SN 구조와 비교하고 주변장이 약 2배로 되기 위해(때문에), 동일한 SN 높이로 동일한 캐퍼시터 절연막후로 비교하면, Cs가 2배로 된다. 즉, 종래의 단순 SN 구조를 형성한 것과 동일한 공정수로 2배의 Cs를 얻을 수 있다. 이 Cs는, 캐퍼시터 공정수가 배 근처로 되다. 공정이 많은 크라운 구조에 맞먹든지 또는 그 이상의 Cs이다. 이것은, 그림 1 9의 특성(종래 SN 구조에 있어서 디자인 룰에 대한 축적 용량의 변화)으로부터, 단순 SN 구조의 H와 종래형의 C를 비교한다면 분명하다.

【0049】 또한, 얇은 다결정 실리콘을 형성하고, 그 위에 그림 1 8 (b)과 같은 구조를 일단 CVD 산화막등으로 형성한 후, 전면에 절연 실리콘을 퇴적하고, 반응성 이온 에칭 등에 의하고 축벽 잔재를 하여, 그림 1 8 (c)와 같은, H형의 크라운 구조를 형성한 것도 한다. 이 구조를 이용한다면 주변장이 또한 배 근처가 되고, 그림 1 9에 나타내도록, 또한 배의 Cs를 얻을 수 있다.

【0050】 (실시 예 7) 그림 20 은 본 발명의 제7의 실시예 (펜스 형) 의 위상 시프트 마스크의 위상 시프터의 각종 패턴의 평면도. 그 21 (a) 은 이 위상 시프트 마스크를 이용하고 형성된 마무리 S N 형상의 평면 패턴, 그림 21 (b) 은 그 조감 그림을 나타내고 있다.

【0051】 그림 20 (a) (b) (c) 어느 시프터 패턴을 이용해도 상관하지 않는다. 시프터의 가공의 하여 역, 패턴·데이터 처리의 하역 등에 의하고 어느 것을 사용하든지 결정된다.

【0052】 이 S N 형상으로는 주변장은 종래 구조의 배 근처가 되고, C s도 배약의 값을 얻을 수 있다. 또, 그림 21 (c) 와 같은 크라운 구조라고 조합하면, 또한 배의 C s를 얻을 수 있다.

【0053】 (실시 예 8) 그림 22는 본 발명의 제8의 실시예 (십자 형) 의 위상 시프트 마스크의 위상 시프터의 각종 패턴의 평면도. 그 23 (a) 은 이 위상 시프트 마스크를 이용하고 형성된 마무리 S N 형상의 평면 패턴, 그림 23 (b) 그 조감 그림을 나타내고 있다.

【0054】 그림 22 (a) (b) (c) 어느 시프터 패턴을 이용해도 상관하지 않는다. 이 S N 형상으로는 주변장은 종래 구조의 15~30% up밖에 되지 않지만, C s는 그 만큼 증대한다. 또, 그림 23 (c) 과 같은 크라운 구조를 조합하면, 또한 배의 C s를 얻을 수 있다.

【0055】 그림 24 (a) 는, 1 / 2 피치의 훌 데드·비트 라인 방식 레이아웃의 경우의, H 형 S N 2와 S N 다이 콘 4, B L 다이 콘 3의 레이아웃을 나타내고 있다. 그림 24 (b) 는, 1 / 4 피치의 훌 데드·비트 라인 방식 레이아웃의 경우의, H 형 S N 2와 S N 다이 콘 4, B L 다이 콘 3의 레이아웃을 나타내고 있다.

【0056】 상기의 실시예는, $8F^2$ (F : 디자인 훌) 탑입의 셀의 레이아웃에 적용한 패턴에 관하여 기술하고 있지만, 오른·비트 라인 방식등의 $6F^2$ 탑입, 나아가서는 $4F^2$ 탑입의 레이아웃에도 동등하게 적용할 수 있다.

【0057】 그림 25는 또한 다른 예 (크라운 구조) 를 설명하기 위한 것으로, (a) (b) 는 위상 시프트 마스크의 위상 시프터의 평면도, (c) 는 이 마스크를 이용하고 형성된 마무리 S N 형상의 평면 패턴, (d) 는 그 조감 그림을 나타내고 있다. 그림 25 (a) 는 포니형 레지스트 용, 그림 25 (b) 는 네가형 레지스트 용의 마스크이다. 단순 S N 구조의 공정수와 동일로 크라운 구조가 실현할 수 있다.

【0058】 상기의 실시예에서의 S N 전극은, 다결정 실리콘 이외의 W, Cu 등의 메탈이라도 상관하지 않는다. 또, 단층, 적층을 물지는 않는다. 또, 캐패시터 절연막은, NO 막, Ta_2O_5 막, 강유전체 막등 재질을 물지 않는다. 마찬가지로 플레이트 전극의 재질도 물지 않는다.

【0059】

【발명의 효과】 이상 상술했던 것처럼 본 발명에 의하면, 메모리 셀의 축적 전극간의 분리에 패턴의 코너 부를 이용한 것에 의하고, 최소 가로 치수보다(부터) 작은 분리 간격의 특영 면적 및 평면 패턴 주변 오랜 축적 전극을 형성하고 있다. 따라서, 축적 전극 높이를 그다지 크게 한 것 없이 D R A M 셀에 필요한 캐패시터 용량을 확보한 것이 가능하고, 축적 전극보다(부터) 위의 배선으로부터 축적 전극보다(부터) 아래 층에 접촉을 한 것이 곤란해지지 않은 것 같았는 축적 전극의 평면 패턴을 갖는 반도체 기억 장치를 실현한 것이 가능해진다.

【도면의 간단한 설명】

【그림 1】 제1의 실시예에 관계된 D R A M의 대략 구성을 나타내는 평면도.

【그림 2】 그림 1의 시시 A - A' 및 B - B' 단면도.

【그림 3】 제1의 실시 예의 제조 공정을 나타내는 단면도.

【그림 4】 제1의 실시 예의 제조 공정을 나타내는 단면도.

【그림 5】 제2의 실시 예의 대략 구성을 나타내는 평면도.

【그림 6】 그림 5의 시시 C - C' 및 D - D' 단면도.

【그림 7】 제2의 실시 예의 제조 공정을 나타내는 단면도.

【그림 8】 제2의 실시 예의 제조 공정을 나타내는 단면도.

【그림 9】 제3의 실시 예의 대략 구성을 나타내는 단면도.

【그림 10】 제3의 실시 예의 제조 공정을 나타내는 단면도.

【그림 11】 제3의 실시 예의 제조 공정을 나타내는 단면도.

【그림 12】 제4의 실시 예의 대략 구성을 나타내는 단면도.

【그림 13】 제4의 실시 예의 제조 공정을 나타내는 단면도.

【그림 14】 제4의 실시 예의 제조 공정을 나타내는 단면도.

【그림 15】 제5의 실시 예의 대략 구성을 나타내는 평면도.

【그림 16】 그림 15의 시시 E - E' 단면도.

【그림 17】 제6의 실시예 (H 형) 의 위상 시프트 마스크의 시프터 패턴을 나타내는 평면도.

【그림 18】 그림 17의 위상 시프트 마스크를 이용하고 형성된 S N 형상 패턴을 나타내는 그림.

그림 1 9】 디자인 툴과 축적 용량과의 관계를 나타내는 특성도.

그림 2 0】 제 7 의 실시예 (펜스 형) 의 위상 시프트 마스크의 시프터 패턴을 나타내는 평면도.

그림 2 1】 그림 2 0 의 위상 시프트 마스크를 이용하고 형성된 S N 형상 패턴을 나타내는 그림.

그림 2 2】 제 8 의 실시예 (심자 형) 의 위상 시프트 마스크의 시프터 패턴을 나타내는 평면도.

그림 2 3】 그림 2 2 의 위상 시프트 마스크를 이용하고 형성된 S N 형상 패턴을 나타내는 그림.

그림 2 4】 흘 데드·비트 라인 방식 레이아웃의 경우의 , H 형 S N 과 , S N 다이 콘, B L 다이 콘의 레이아웃을 나타내는 그림.

그림 2 5】 제 9 의 실시예 (크라운 구조) 의 위상 시프트 마스크를 설명하기 위한 그림.

그림 2 6】 종래의 D R A M 구조를 나타내는 평면도.

그림 2 7】 그림 2 6 의 시시 F - F 단면도.

【부호의 설명】

- 1 ($21_1, 21_2 \dots$) …비트 선
- 2 ($22_1, 22_2 \dots$) …축적 전극
- 3 ($23_1, 23_2 \dots$) …소자 영역
- 4 ($24_1, 25_2 \dots$) …비트 선 콘택트
- 5 ($25_1, 25_2 \dots$) …축적 전극 콘택트
- 6 … p 형 실리콘 기판
- 7 ($27_1, 27_2 \dots$) …절연막
- 8 …플레이트 전극
- 9 ($29_1, 29_2 \dots$) …필드 산화막

【그림 1】

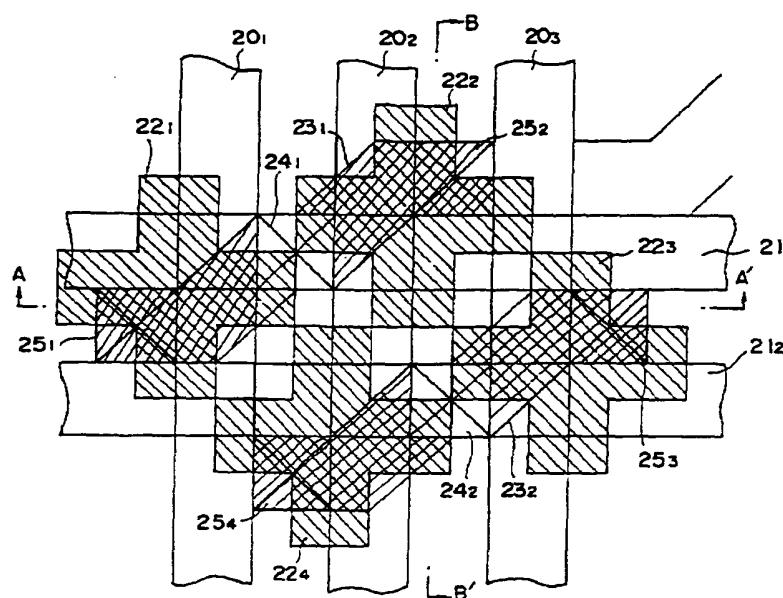
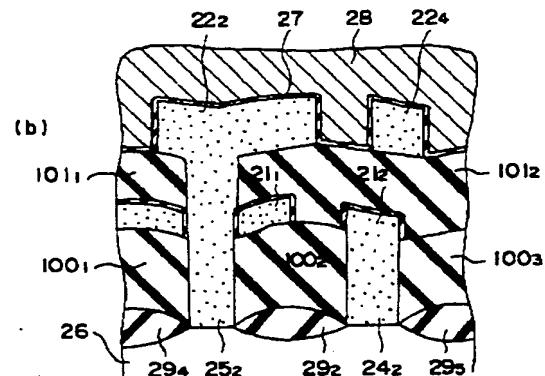
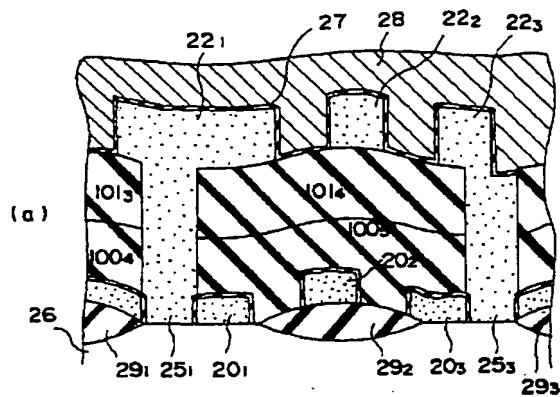
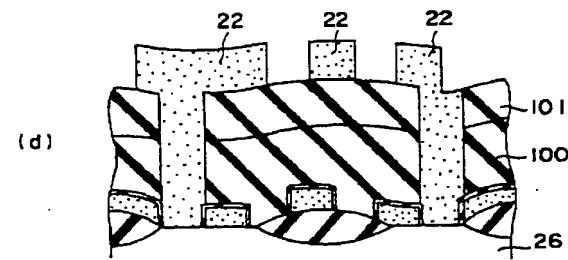
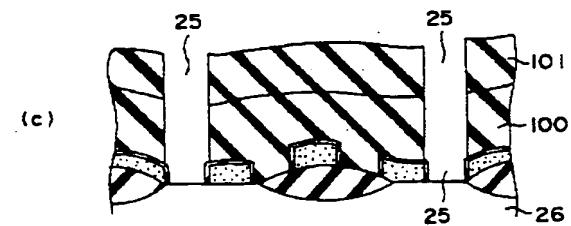
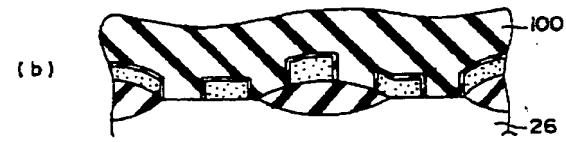
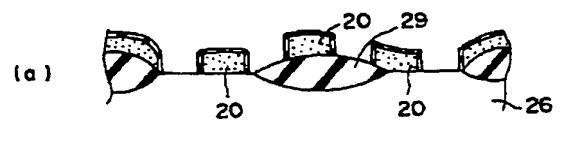


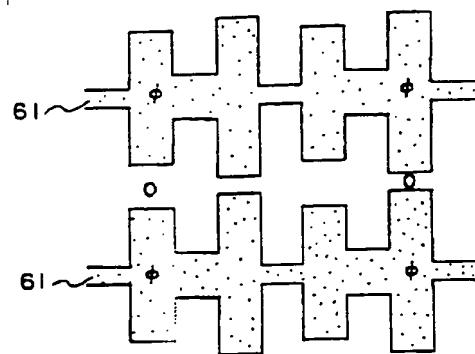
그림 2】



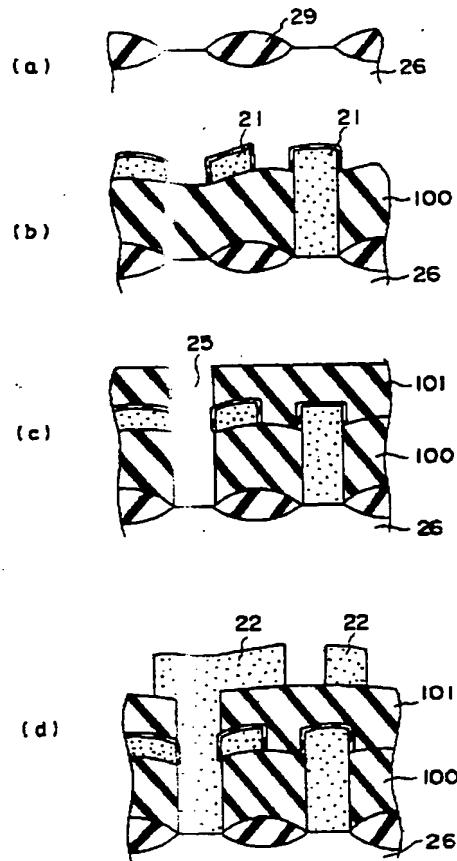
【그림 3】



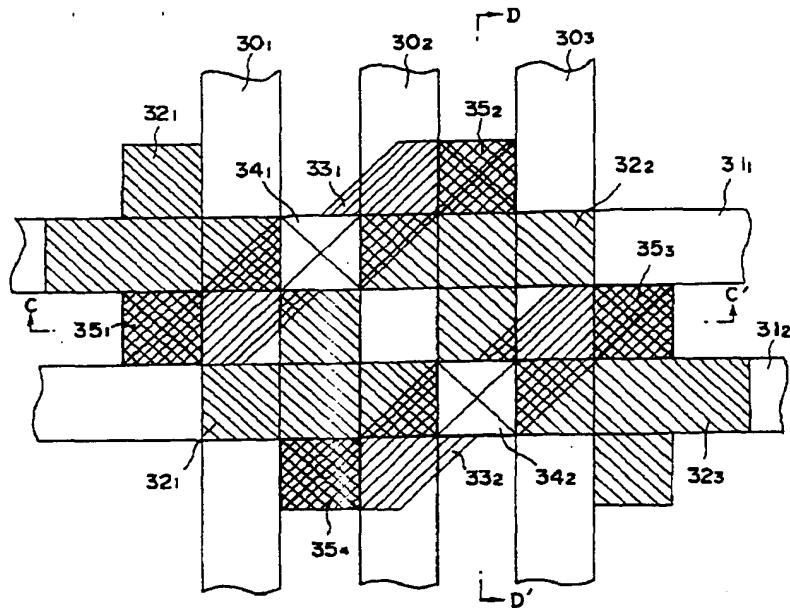
【그림 17】



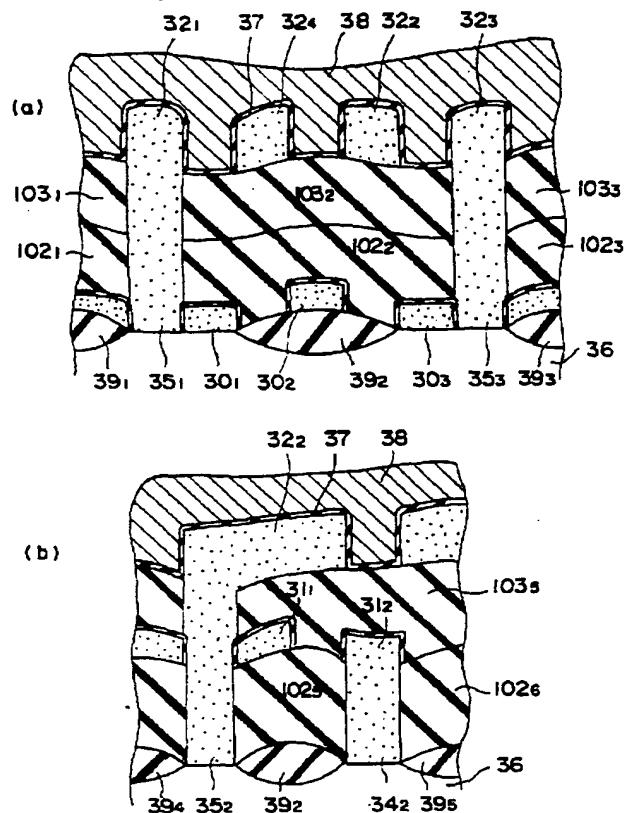
【그림 4】



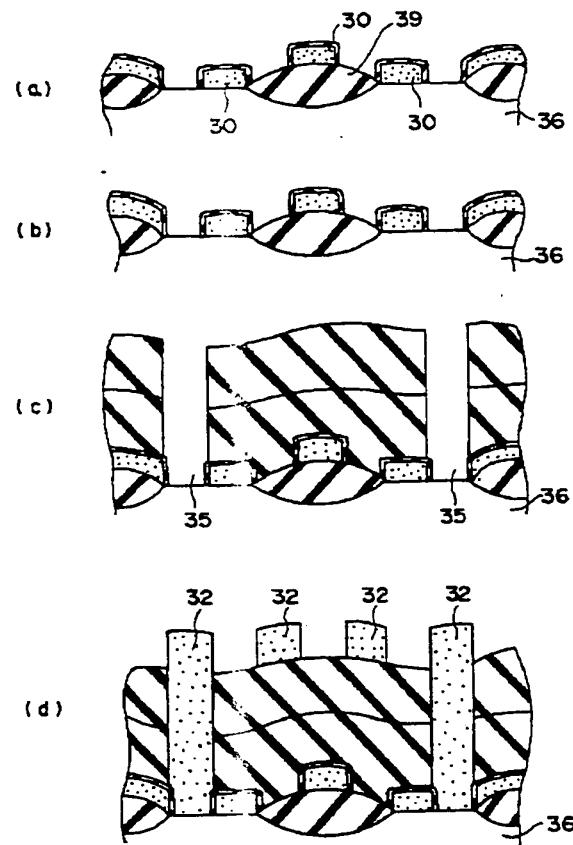
【그림 5】



【그림 6】



【그림 7】



【그림 8】

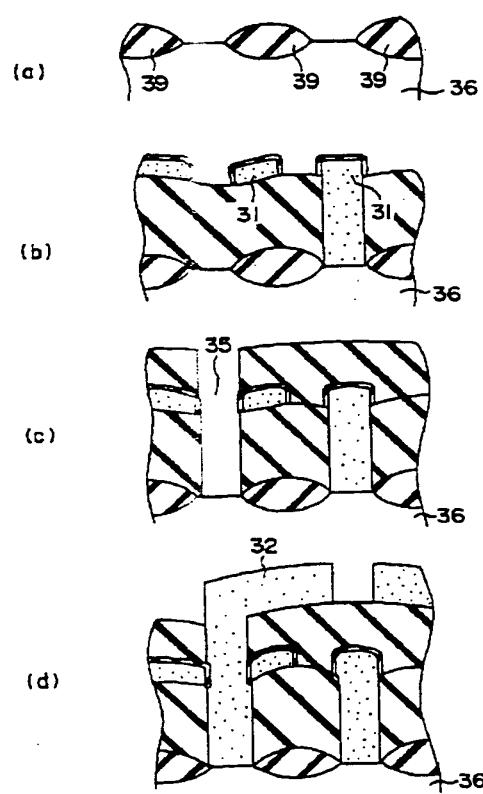
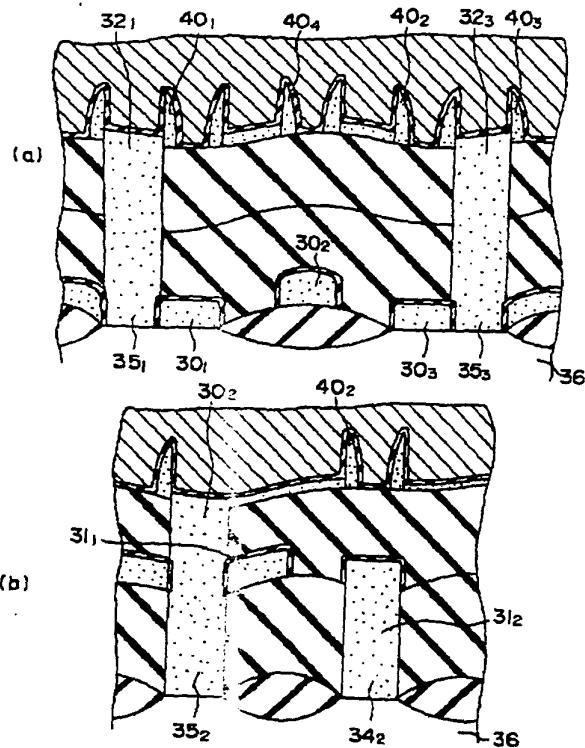
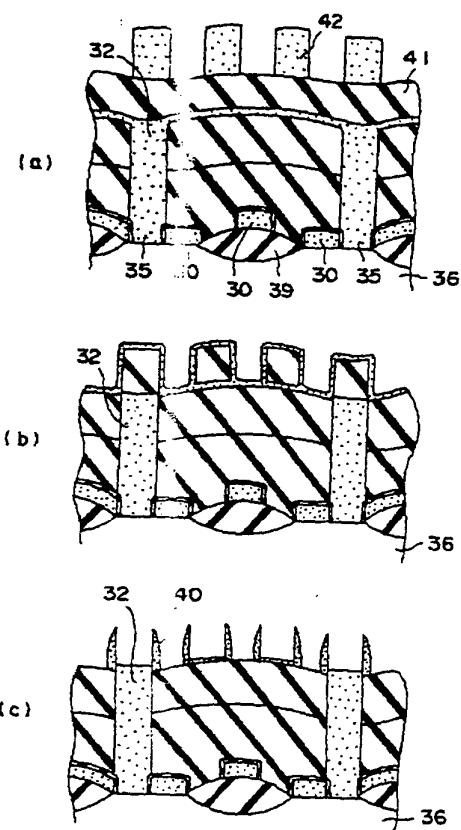


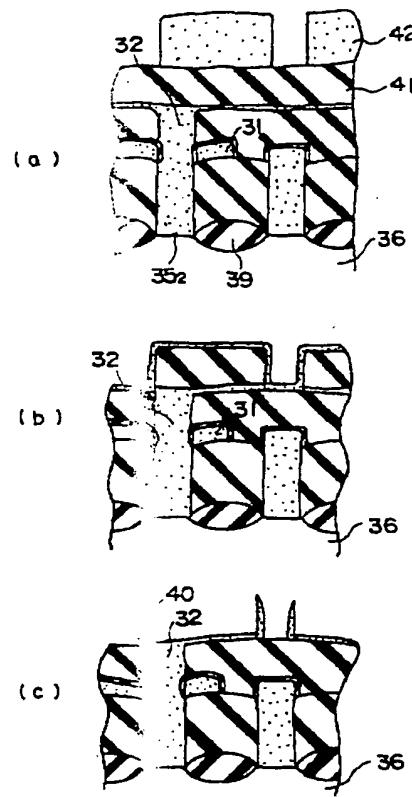
그림 9】



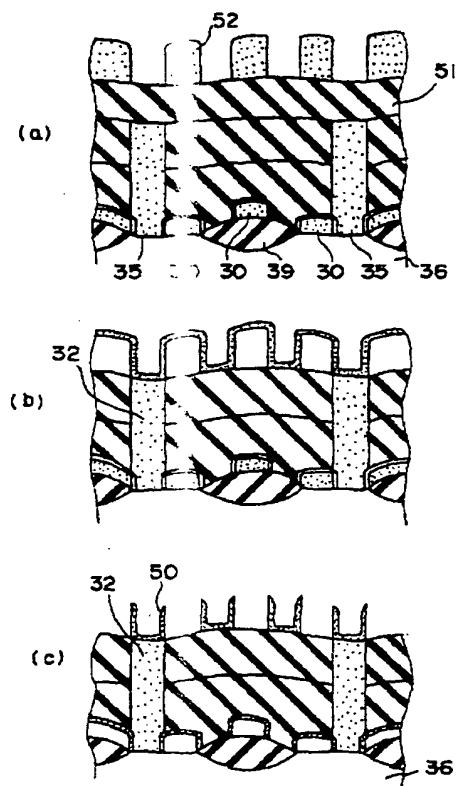
【그림 10】



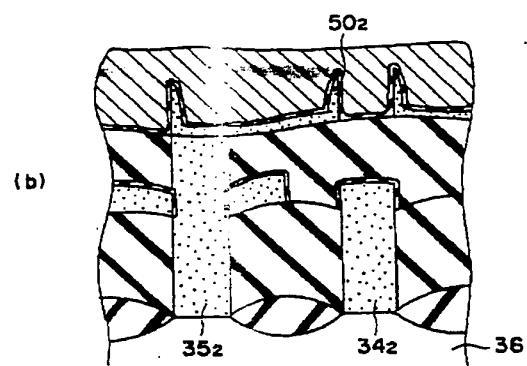
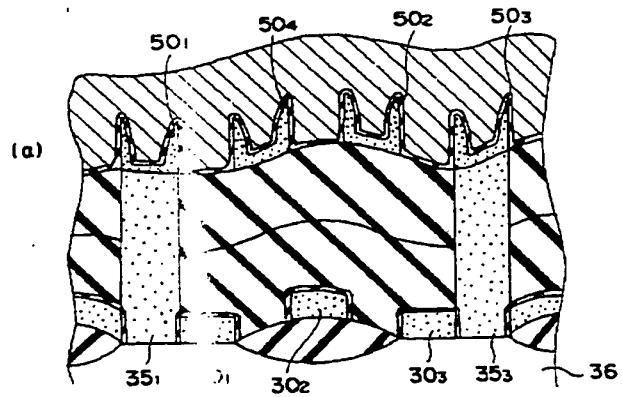
【그림 11】



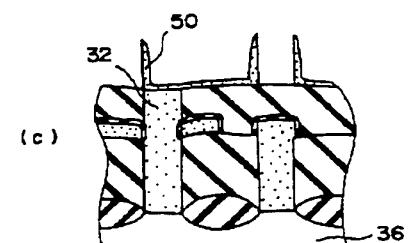
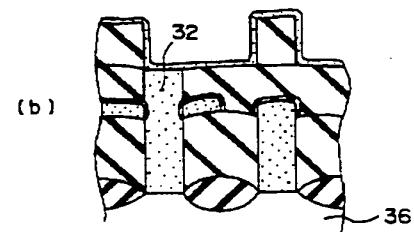
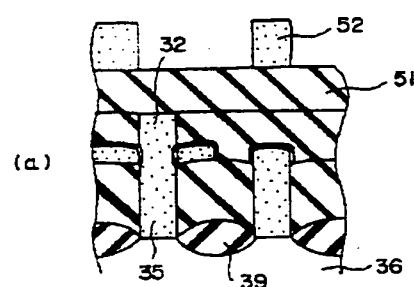
【그림 1-3】



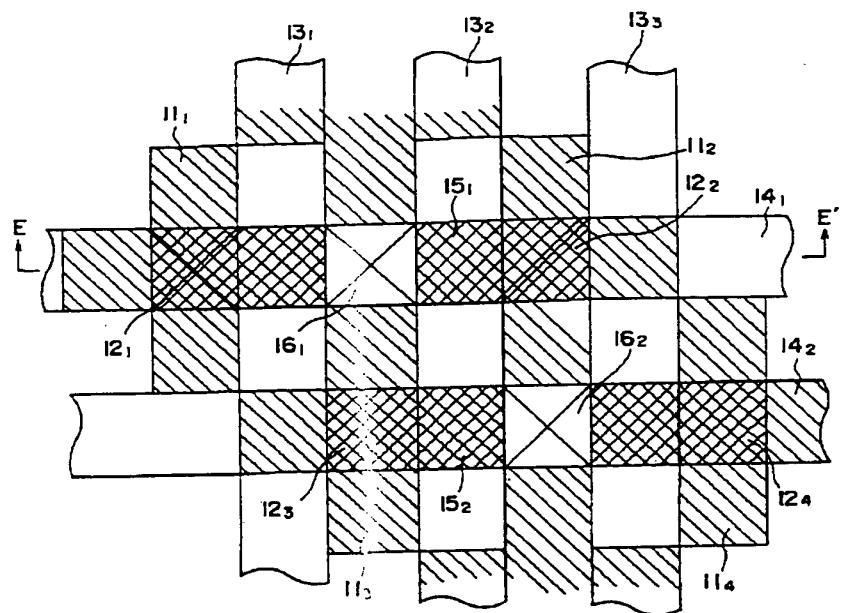
【그림 1-2】



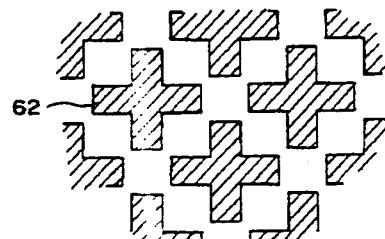
【그림 14】



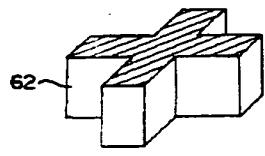
【그림 15】



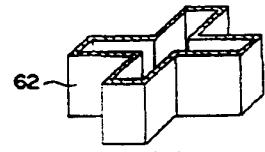
【그림 23】



(a)

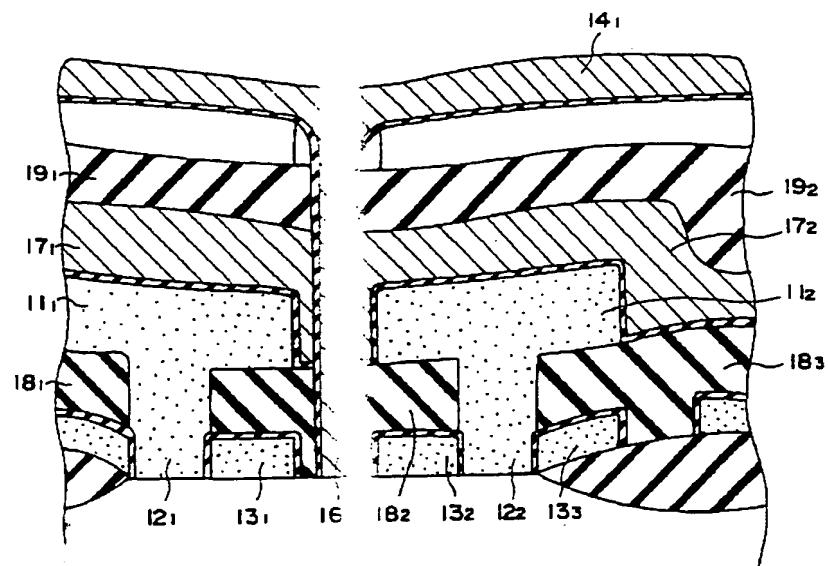


(b)

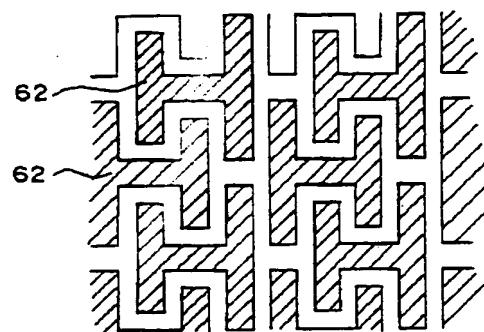


(c)

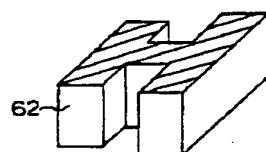
【그림 16】



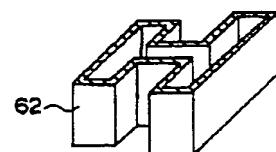
【그림 18】



(a)

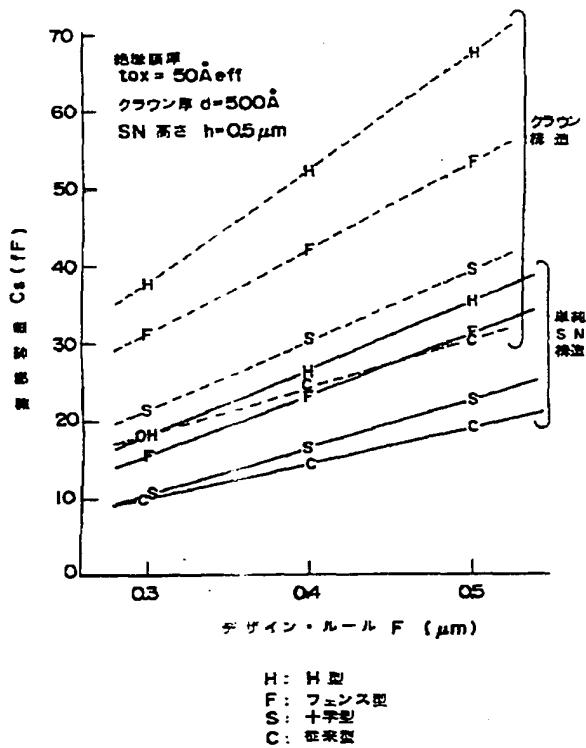


(b)

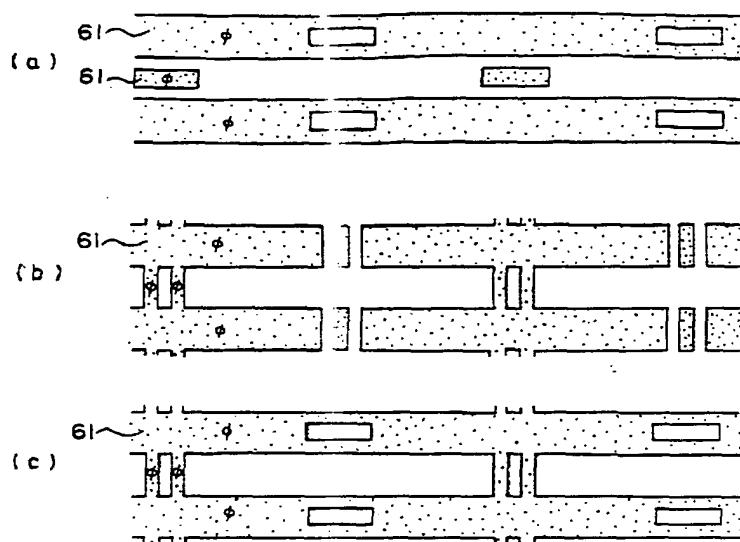


(c)

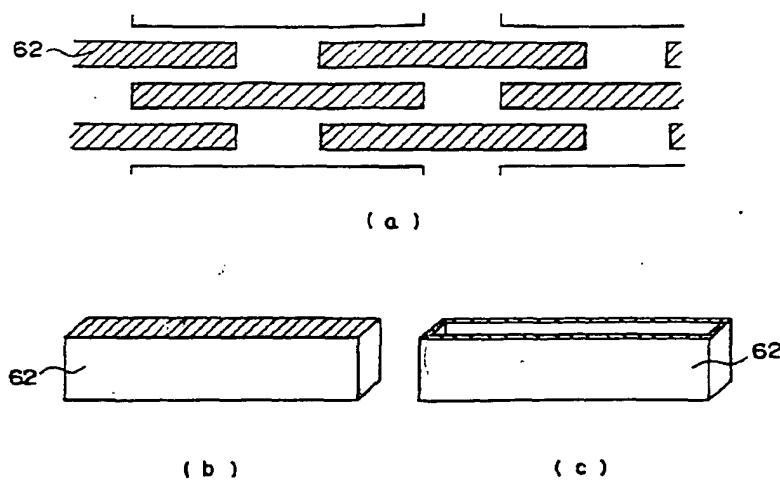
【그림 19】



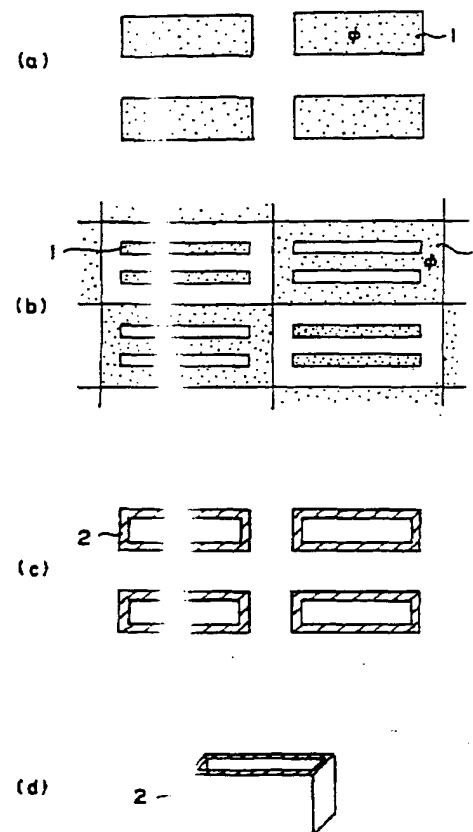
【그림 20】



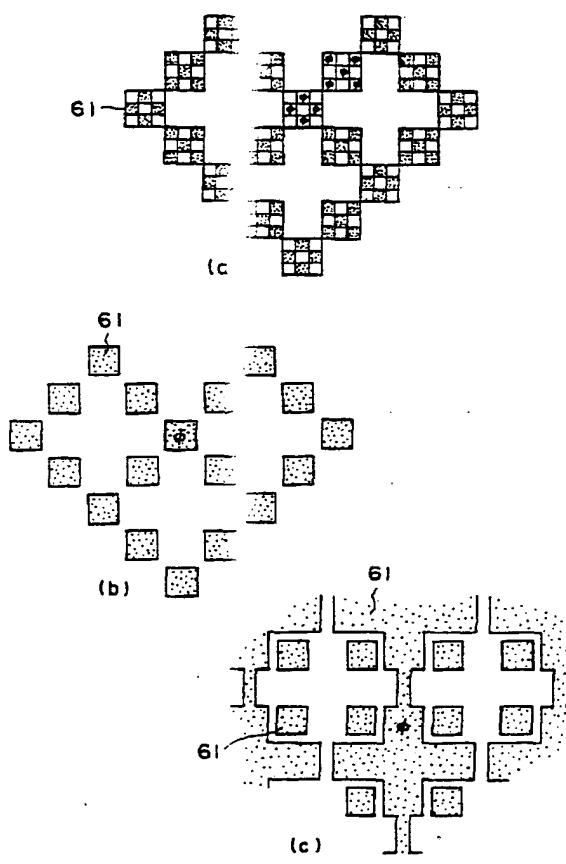
【그림 21】



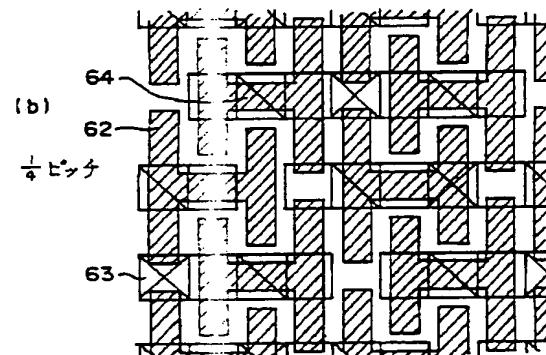
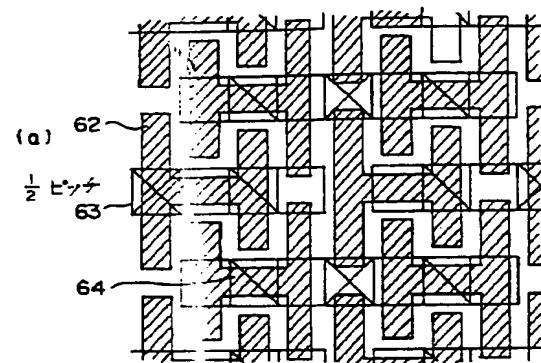
【그림 25】



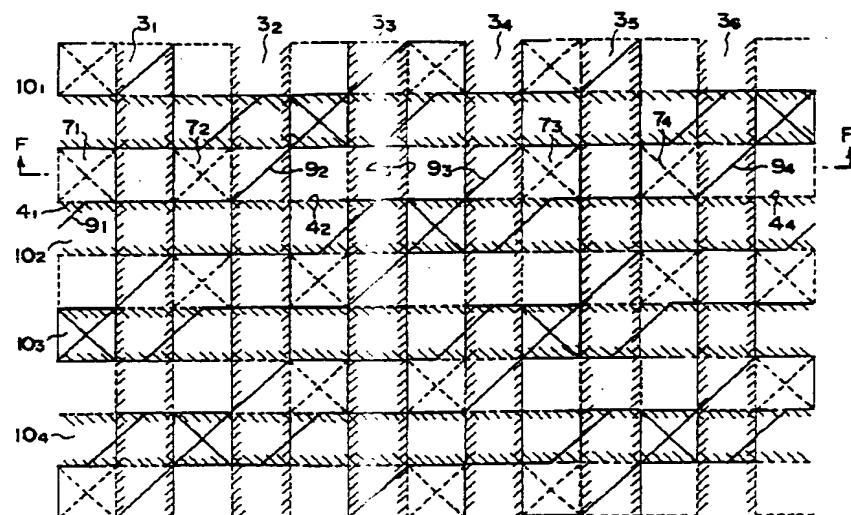
【그림 22】



【그림 24】



【그림 26】



【그림 27】

